

30 DEC 2004

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年1月15日 (15.01.2004)

PCT

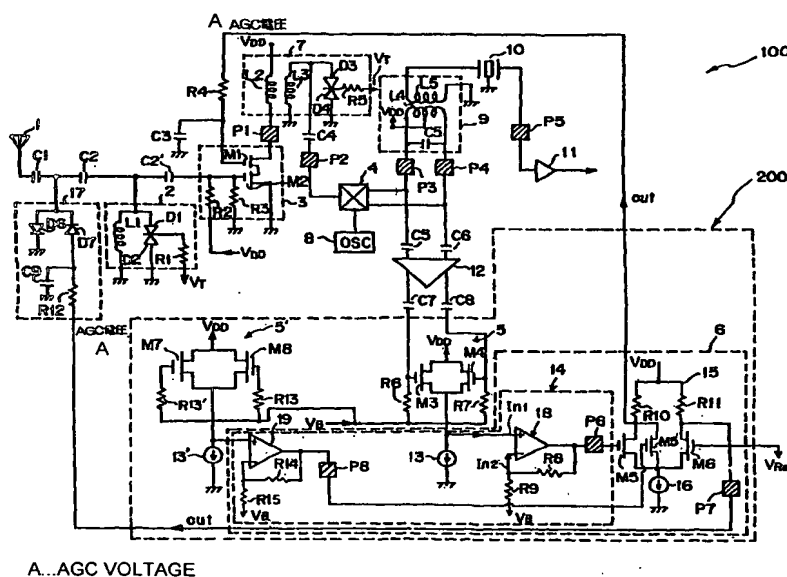
(10) 国際公開番号
WO 2004/006430 A1

- (51) 国際特許分類⁷: H03G 3/20, H03F 3/45
 (21) 国際出願番号: PCT/JP2003/008225
 (22) 国際出願日: 2003年6月27日 (27.06.2003)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2002-194406 2002年7月3日 (03.07.2002) JP
 (71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA)
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県 上越市 西城町 2丁目5番13号 新潟精密株式会社内 Niigata (JP).
 (74) 代理人: 大昔 義之 (OSUGA, Yoshiyuki); 〒102-0084 東京都 千代田区 二番町 8番地 20 二番町ビル 3F Tokyo (JP).
 (81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: AGC CIRCUIT

(54) 発明の名称: A G C 回路



(57) Abstract: An AGC circuit provided in an RF receiver has a detector circuit for detecting a received high-frequency signal to output a detected signal including pulsating-flow components. The AGC circuit performs a gain control of an RF amplifier circuit in accordance with the detection output. This amplifier (DC amplifier), which is connected in the stage directly following the detector circuit, has a structure for degrading the high frequency characteristic; or alternatively, means for degrading the high frequency characteristic is connected to the amplifier. This arrangement removes the pulsating-flow components overlapped with the detection output as much as possible.

(57) 要約: RF受信機内に設けられたAGC回路は、高周波受信信号を検波して脈流成分を含む検波信号を出力する検波回路を備えており、その検波出力に応じてRF増幅回路の利得制御を行う。ここで、検波回路の直後に接続される増幅器(DCアンプ)はその高周波特性を劣化させる構成を有しており、或いは、高周波特性を劣化させる手段が上記増幅器に接続されている。このような構成とすること

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

AGC回路

5 技術分野

本発明は、RF（高周波）受信機内に設けられるAGC（Automatic Gain Control）回路に係り、特にはその検波段にて生じる脈流成分がAGC制御に影響を与えないようにするための改良に関する。

10 背景技術

従来より、一般的なスーパーヘテロダイン方式のRF受信機においては、アンテナが受信した受信信号は同調回路によって所望の局（所望周波数）の選択がなされ、RF増幅回路を通過してミキサに供給される。そのミキサから出力された信号は、1回又は複数回の中間周波数信号に変換され、上記ミキサの後段に設けられる復調器により上記信号は復調されたあと、音声が再生される。一方、上記RF受信機は、そのRF受信機に設けられるRF増幅回路の後段にAGC回路が設置され、上記RF増幅回路の利得を受信信号レベルに応じて自動的に利得制御して、一定の出力が得られるようにしている。

しかしながら、従来におけるAGC回路においては、その中に使用されている検波回路の検波出力信号に脈流成分が重畳されてしまうという問題があった。したがって、このような脈流成分は、上記検波回路から漏れ出してしまうので、上記AGC回路による歪みが大きくなり、AGC制御に悪影響を与えてしまうという欠点がある。

また、AGC回路は、一般に連続帰還系で構成されているため、上記検波回路によるベースバンド信号の検出から、受信信号のRF増幅回路のAGC制御が行

なわれるまでに、或る程度の時間を必要とし、検波回路から洩れ出した上記脈流成分の影響を大きく受けてしまう。

更に、上記R F受信機に設ける上記A G C回路をI C化したような場合には、上記検波回路から前述した如く洩れ出した上記脈流成分は極めて容易に上記R F
5 増幅回路に混入してしまい、所望受信信号とともに脈流成分が復調されることにより歪みが生じる。

発明の開示

本発明の目的は、R F受信機内に設けられるA G C回路において、検波回路から洩れ出す脈流成分による影響を極力防止できるようにすることにある。
10

本発明は、上記目的を達成するために、以下のように構成される。

すなわち、本発明は、高周波受信信号を検波して脈流成分を含む検波信号を出力する検波回路を備え、この検波回路の検波出力に応じて上記高周波受信信号の増幅回路の利得を制御するA G C回路において、上記検波回路の直後に接続される増幅器の高周波特性を劣化させたこと、又はこの増幅器に高周波特性を劣化させる手段を接続したことを特徴とするものである。
15

このように、検波回路の直後に接続される増幅器の高周波特性を劣化させたことにより、或いは、この増幅器に高周波特性を劣化させる手段を接続したことにより、上記増幅器で単に検波信号を増幅するだけではなくて、検波回路から漏れ出した高周波の脈流成分を有効に除去することが可能になり、脈流成分によるA G C制御への悪影響が極力防止される。なお、脈流成分は完全に除去される必要はなく、A G C制御への影響が改善される程度に除去されていれば十分である。脈流成分が十分に除去されるためには、例えば、直流（周波数＝0）におけるゲインに対して脈流成分の周波数におけるゲインが3 d B以上減衰する程度まで高周波特性を劣化させることが望ましい。
20
25

なお、このように高周波特性を劣化させるようにした増幅器の構成や、高周波特性を劣化させる手段としては、各種の構成を採用可能であるが、望ましい例としては例えば次のようなものがある。

第1の例は、上記増幅器の高周波特性が劣化する程度まで、上記増幅器を構成
5 する各MOSFETにおけるチャネル長及びチャネル幅を大きく設定した構成である。

第2の例は、上記増幅器の出力端子とグランドとの間に大容量のコンデンサを接続した構成である。

第3の例は、コンデンサと、このコンデンサの端子電圧と入力電圧とを比較する
10 電圧比較回路と、上記端子電圧よりも上記入力電圧の方が相対的に高い場合に、上記コンデンサを間欠的に充電する充電回路と、上記端子電圧の方が上記入力電圧よりも相対的に低い場合に、上記コンデンサから間欠的に放電電流を放出する放電回路とからなる平滑回路であり、この平滑回路は上記増幅器の出力端子に接続される。

15 第4の例は、上記増幅器を構成する各MOSFETをそれらの間の配線が互いに交差するように配置することで、上記増幅器の高周波特性が劣化する程度まで配線容量を大きくしてなる構成である。

このように、本発明のAGC回路によれば、その検波回路の直後に接続される増幅器の高周波特性を劣化させる（或いは、この増幅器に高周波特性を劣化させる
20 手段を接続する）ことにより、AGC制御信号に混入する脈流成分を効果的に除去して、脈流成分の影響による歪みを極力防止することができる。従って、本発明によれば、RF受信機において受信すべき信号の受信動作に影響を与えることなく、RF増幅回路の利得制御を精度良く実現できる。

また、上記増幅器は検波回路と一体的にIC化することもでき、このようにす
25 ることで、回路構成の大幅な複雑化を招くことなく、回路全体のIC化が可能と

なる。

図面の簡単な説明

図1は、本発明の一実施の形態に係るAGC回路200を備えたRF受信機の
5 主要部の回路図である。

図2は、DCアンプ18、19を構成する第1の主要部分の回路図である。

図3は、差動増幅回路群20におけるMOSFET及び配線のレイアウト図である。

図4は、DCアンプ18、19における第2の主要部分の一例を示す回路図で
10 ある。

図5は、DCアンプ18、19における第2の主要部分の他の例を示す回路図である。

図6は、平滑回路25の具体的な回路図である。

15 発明を実施するための最良の形態

図1は、本発明の一実施の形態に係るAGC回路200を備えたRF受信機100の回路図である。

ここで、RF受信機100は、スーパーヘテロダイン方式を採用した一例である。RF受信機100はAGC回路200を有しており、このAGC回路200
20 は、アンテナ1から受信した高周波受信信号のレベルに応じてRF増幅回路3の利得を制御する回路である。

先ず、RF受信機100の構成と、その中に含まれる各回路の動作について説明する。

RF受信機100においては、まず、アンテナ1から受信した高周波受信信号
25 から、コンデンサC1とC2（ハイパスフィルタ：HPF）によって直流成分を

除去して高周波帯域の信号を取り出し、そして、同調回路 2 によって所望の周波数の信号を取り出し、コンデンサ $C2$ (ハイパスフィルタ: HPF) によって上記所望の周波数の信号の直流成分を除去して RF (Radio Frequency) 増幅回路 3 において該信号を増幅したあとミキサ 4 に供給する。上記ミキサ 4 から出力された信号は中間周波数信号に変換され、その後、不図示の検波器により検波されて復調されたあと、音声が再生される。

また、上記中間周波数信号は、RF 増幅回路 3 の利得制御をするための、本発明の一実施の形態に係る AGC 回路 200 にも出力される。AGC 回路 200 に入力した上記中間周波数信号 (これには後述のように高周波成分が含まれる) は振幅検波回路 5 により検波され、その検波出力に基づいて AGC 駆動回路 6 が RF 増幅回路 3 の利得を制御する。

上記同調回路 2 は、同調コイル $L1$ 、2 つのダイオード ($D1$ 、 $D2$) で構成されるバラクタダイオード、及び抵抗 $R1$ により構成される。同調コイル $L1$ とダイオード $D1$ の一端は、後述の第 2 の MOSFET ($M2$) のゲート (G) に接続される。上記バラクタダイオードを構成する 2 つのダイオード ($D1$ 、 $D2$) はカソード同士が接続されておりダイオード $D2$ のアノードはグラウンドに接続される。また、抵抗 $R1$ の一端は上記 2 つのダイオード ($D1$ 、 $D2$) のカソード部分に接続され、その他端は同調用電圧 V_T を供給する。

上記 RF 増幅回路 3 は、第 1 の MOSFET ($M1$) と第 2 の MOSFET ($M2$) を有し、第 1 の MOSFET ($M1$) と第 2 の MOSFET ($M2$) はカソード接続される構成である。また、第 2 の MOSFET ($M2$) のゲート (G) とソース (S) の間に抵抗 $R2$ を介してドレイン電圧 V_{DD} が印加され、第 2 の MOSFET ($M2$) のゲート (G) は抵抗 $R3$ を介してグラウンドに接続され、更に、ソース (S) はグラウンドに接続される。

第 1 の MOSFET ($M1$) のゲート (G) は、後述の AGC 回路 200 から

出力される利得制御電流によってRF増幅回路3の利得が制御される。抵抗R4とコンデンサC3は、上記利得制御電流に含まれる脈流成分を除去するために設けられ、これにより、第1のMOSFET(M1)のゲート-ドレイン間に安定した電圧供給が可能となる。

- 5 次に、第2のMOSFET(M2)のゲート(G)には、コンデンサ(C1及びC2)により高周波帯域の受信信号が入力する。その入力した信号は第2のMOSFET(M2)において増幅されたあと、そのドレイン(D)から出力され、第1のMOSFET(M1)のソース(S)に入力する。そのソース(S)に入力した入力信号は、第1のMOSFET(M1)において、上記利得制御電流によるAGC制御がなされ、高周波領域の振幅利得制限が行われたあと出力される。

ここで、例えば、同図に示されている四角の部分(P1からP8)の位置にパッドが配置される。パッドとは、コンデンサ等の素子を外付けするための領域である。外付けの必要がなければ、その部分のパッドは特に設ける必要はない。

- 15 第1のMOSFET(M1)のドレイン(D)は、同調回路7の1次コイルL2に接続される。

- 同調回路7は、1次コイルL2、同調コイルL3、バラクタダイオードを形成する2つのダイオード(D3及びD4)及び抵抗R5により構成され、上記同調コイルL3とダイオードD3の一端は、コンデンサC4に接続される。また、上記2つのダイオードD4はカソード同士が接続されておりダイオードD4のアノードはグラウンドに接続される。

- 20 上記同調回路7から出力される信号はコンデンサC4を介し、後段のミキサ4に出力される。また、抵抗R5の一端は上記2つのダイオード(D3及びD4)のカソード部分に接続されており、その抵抗R5の他端からは同調用電圧VTを供給する。また、上記1次コイルL2を介し、上記第1のMOSFET(M1)
- 25 のドレイン(D)にドレイン電圧VDDが印加される。

上記ミキサ4には局部発振回路（OSC）8から所望の局部発振信号が供給され、上記ミキサ4では上記同調回路7から出力される出力信号が局部発振信号と混合され、中間周波数を持つ位相が π ずれた2つの中間周波信号が出力される。そして、上記ミキサ4から出力される上記2つの中間周波信号は2方向に分離される。

つまり、一方の中間周波信号はバンドパスフィルタ（BPF）9に出力され水晶フィルタ10に供給される。上記水晶フィルタ10から出力される信号は、中間周波増幅回路11にて中間周波増幅され、この中間周波増幅された信号はFM検波回路（不図示）を通してステレオ復調回路（不図示）に供給される。

10 バンドパスフィルタ（BPF）9は、1次コイルL4と、2次コイルL5及びコンデンサC5から構成される。バンドパスフィルタ（BPF）9において、1次コイルL4とコンデンサC5は並列接続され、1次コイルL4とコンデンサC5の両端はミキサ4に接続される構成となっている。また、1次コイルL4にはドレイン電圧VDDが印加される。更に、2次コイルL5の一端はグラウンドに接続

15 され、その他端は上記水晶フィルタ10に接続される。

また、他方の中間周波信号は、RF増幅回路3の利得を制御するAGC回路200に出力される（このAGC回路200については後述する）。ここで、バッファアンプ12の前段部分及び後段部分にコンデンサ（C5、C6、C7、C8）が直列接続されて配置される。また、バッファアンプ12は、ミキサ4から

20 の出力信号によって、ミキサ4の後段に配置される振幅検波回路5及びバンドパスフィルタ9の電気的変動によるインピーダンスの変化が相互的に起こらないようにするために設けられる。

AGC回路200は、振幅検波回路5、5'及びAGC駆動回路6（アンプ18、19とバッファアンプ15）より構成される。

25 ミキサ4から出力される信号は、振幅検波回路5の前段に設けられるバッファ

アンプ 1 2 を通過し、振幅検波回路 5 に入力する。振幅検波回路 5 は、入力信号の振幅レベルを検波して、検波信号を出力する。

ここで、振幅検波回路 5、5' の構成と動作を説明する。

5 振幅検波回路 5 は、2つの MOSFET (M3 及び M4) と 2つの抵抗 (R6 及び R7) 等により構成され、2つの MOSFET (M3 及び M4) のドレイン (D) にはドレイン電圧 VDD が印加される。また、上記 2つの MOSFET (M3 及び M4) は、例えば、Nチャネル MOSFET である。

10 また、上記 2つの MOSFET (M3 及び M4) のゲート (G) には、抵抗 (R6 及び R7) を介して、バイアス電圧 VB が印加される。また、上記抵抗 (R6 及び R7) は、2つの MOSFET (M3 及び M4) のゲート (G) とソース (S) 間に適当なバイアス電圧 VB を与えるためのものである。

上記 2つの MOSFET (M3 及び M4) のゲート (G) は、上記バッファアンプ 1 2 に接続されており、ミキサ 4 から位相が π ずれた 2つの中間周波信号が上記ゲート (G) に入力する。また、上記 2つの MOSFET (M3 及び M4) のソース (S) は互いに接続 (中間ノード) される。

20 上記振幅検波回路 5 に入力される信号には、高周波信号 (搬送波) が含まれており、この高周波信号に対して半波あるいは全波整流を行うことで、脈流成分を含む検波信号が出力される。上記検波信号は上記振幅検波回路 5 の上記中間ノードから、上記振幅検波回路 5 の後段に配置される上記 AGC 駆動回路 6 を構成する DC アンプ 1 8 の非反転入力端子 (+) に出力 (In 1) される。更に、上記中間ノードは定電流回路 1 3 を介してグラウンドに接続される。

25 もう一方の振幅検波回路 5' は、上記振幅検波回路 5 と同様の回路構成を有し、2つの MOSFET (M7 及び M8) と 2つの抵抗 (R13 及び R13') 等により構成される。2つの MOSFET (M7 及び M8) のドレイン (D) にはドレイン電圧 VDD が供給され、また、ゲート (G) には抵抗 (R13 及び R1

3') を介してバイアス電圧 V_B が印加される。

また、上記振幅検波回路 5' においては、上記 2 つの MOSFET (M7 及び M8) のソース (S) は互いに接続 (中間ノード) され、更に、上記振幅検波回路 5' の上記中間ノードは定電流回路 13' を介してグランドに接続される。

- 5 そして、バイアス電流は上記振幅検波回路 5' において、上記振幅検波回路 5' の中間ノードから出力信号として、その後段に配置される DC アンプ 19 の非反転入力端子 (+) に出力される。また、DC アンプ 19 の出力端子と反転入力端子 (-) は抵抗 R14 を介して接続される。

- 次に、AGC 駆動回路 6 は、振幅検波回路 5、5' の直後に接続される DC アンプ群 14 と、バッファアンプ 15、及び抵抗等より構成される。
- 10

- 上記 DC アンプ群 14 を構成する 2 つの DC アンプ (例えば、差動増幅回路のオペアンプ) 18、19 には、本発明の特徴として、振幅検波回路 5、5' から出力された検波信号の高周波領域の振幅利得を制限するための構成が設けられており、この検波信号に含まれる脈流成分が極力除去される構成となっている。この点については後述する。
- 15

- 一方の DC アンプ 18 において、その反転入力端子 (-) には抵抗 R9 を介してバイアス電圧 V_B が入力 (I_{n2}) され、かつ、振幅検波回路 5 からの検波信号が非反転入力端子 (+) に入力 (I_{n1}) されて、この検波信号の直流成分が DC アンプ 18 により増幅される。もう一方の DC アンプ 19 においても、その反転入力端子 (-) には抵抗 R15 を介してバイアス電圧 V_B が入力され、かつ、振幅検波回路 5' からの検波信号が非反転入力端子 (+) に入力されて、この検波信号の直流成分が DC アンプ 19 により増幅される。
- 20

- ここで、各 DC アンプ 18、19 における増幅動作は、周知のオペアンプの増幅動作と同様である。つまり、DC アンプ 18 においては、周知のように抵抗 (負帰還抵抗) R8 が接続されて負帰還回路が構成されており、非反転入力端子
- 25

(+) に振幅検波回路 5 からの検波信号が入力 (In 1) され、その直流成分が増幅 (増幅率: R_8/R_9) されて出力される。また、帰還電流 I_f が抵抗 R_8 に流れ、反転入力端子 (−) に入力する。この帰還電流 I_f により、DC アンプ 18 の内部に発生した入力信号のひずみ分は打ち消される。このような動作は、
5 もう一方の DC アンプ 19 においても同様である。

そして、DC アンプ 18、19 の各出力信号は、それらの後段に設けられる高入力インピーダンスのバッファアンプ 15 に出力される。このバッファアンプ 15 は、RF 増幅回路 3 の利得を制御する利得制御電流 (DC 制御電流) を出力する。また、上記バッファアンプ 15 は、上記 DC アンプ群 14 に加わる負荷によ
10 って上記 DC アンプ 18、19 の利得が変化するのを防ぎつつ、上記利得制御電流により RF 増幅回路 3 の利得を制御する。

ここで、バッファアンプ 15 は、例えば、互いに並列接続された 2 つの MOSFET (M5 及び M5')、これら MOSFET と差動対になるもう 1 つの MOSFET (M6)、及び抵抗 (R_{10} 及び R_{11}) 等を有し、これらで差動増幅
15 回路を構成する。また、上記 MOSFET (M5、M5'、M6) は、例えば N チャンネル MOSFET である。

上記バッファアンプ 15 において、上記 2 つの MOSFET (M5 及び M5') のドレインには、抵抗 (R_{10}) を介してドレイン電圧 VDD が印加されると共に、もう一方の MOSFET (M6) のドレインにも、抵抗 (R_{11}) を
20 介してドレイン電圧 VDD が印加される。また、MOSFET (M5 及び M5') の各ゲートには上記 DC アンプ 18、19 の出力信号がそれぞれ入力され、一方、MOSFET (M6) のゲートには基準定電圧 (AGC 開始電圧) V_{Ref} が入力される。更に、3 つの MOSFET (M5、M5' 及び M6) の各ソースは互いに接続され、定電流回路 16 を介してグランドに接続される。

25 MOSFET (M5、M5') のドレインと抵抗 R_{10} との中間ノードは、R

F増幅回路3の第1のMOSFET (M1) のゲートに接続され、前述したようにRF増幅回路3の利得制御をする信号(利得制御電流)を出力する。このように、上記バッファアンプ15から出力された利得制御電流がRF増幅回路3のMOSFET (M1) のゲートに供給されることにより、RF増幅回路3の利得制御が行われる。つまり、MOSFET (M1) に流れ込む利得制御電流が多い時には、そのドレイン電圧が上がることにより信号レベルも上昇し、逆に、MOSFET (M1) に流れ込む利得制御電流が少ない時には、そのドレイン電圧が下がることにより信号レベルも下降し、結果的に一定のレベルに安定する。

また、MOSFET (M6) のドレインと抵抗R11との中間ノードは、AGCダイオード17に接続される。AGCダイオード17は、図1に示すようにダイオード(D6及びD7)と抵抗R12とコンデンサC9より構成され、バッファアンプ15から供給される制御信号に基づき受信信号の制御を行う。ここで、抵抗R12とコンデンサC9は、バッファアンプ15からAGCダイオード17へと供給される上記制御信号から脈流成分を除去するために設けられている。

なお、本実施形態においては、DCアンプ18、19に、脈流成分を除去するための独自の構成を設けているが(この点については後に詳述する)、これによって除去しきれずに各AGC制御信号に含まれてしまった脈流成分は、上記のコンデンサC9及び抵抗R12からなる回路や、上記のコンデンサC3及びR4からなる回路によって除去されるようになっている。

図2は、図1に示したDCアンプ18、19を構成する2つの主要部分のうちの第1の主要部分の回路図である。

同図に示すように、DCアンプ18、19をそれぞれ構成する第1の主要部分の回路は、いずれも、複数のMOSFET (A1とA2、B1とB2、C1とC2、D1とD2)、及び抵抗R16、R17等を有する差動増幅回路群20で構成される。尚、DCアンプ18、19をそれぞれ構成する第2の主要部分の回

路は、後述の図4及び図5を用いて説明をする。また、上記各MOSFET (A1とA2、B1とB2、C1とC2、D1とD2) は、例えば、PチャネルMOSFETである。また、上記MOSFET (A1とA2、B1とB2、C1とC2、D1とD2) の各ソース(S) には定電流回路16'を介しドレイン電圧VDDが印加される。

次に、同図に示されているIn1及びIn2 (入力) は、図1に示されているDCアンプ18、19における非反転入力端子(+) 及び反転入力端子(-) にそれぞれ相当する。

尚、本実施の形態は上記差動増幅回路群20の後段に、図4あるいは図5の回路を設ける構成であり、図2中のOUT1とOUT2からの出力信号は図4あるいは図5におけるIn3とIn4にそれぞれ出力される。上記In3とIn4に入力した入力信号に対する回路動作及び回路構成は、後に、図4及び図5を用いて説明をする。

上記差動増幅回路群20は、MOSFETA1とMOSFETB1、及びMOSFETA2とMOSFETB2とが対応関係にありそれぞれ差動増幅回路を構成し、更に、MOSFETC1とMOSFETD1、及びMOSFETC2とMOSFETD2とがそれぞれ相対応して差動増幅回路を構成して上記差動増幅回路群20を形成する。

上記各MOSFETトランジスタの配置をこのような対称的な位置に配置することによって、ICの製造工程内のイオン注入工程あるいは、拡散工程における製造上の課題のひとつであるIC基板上におけるイオン濃度の差(むら) に対して、上記各MOSFETトランジスタの位置によるイオン濃度の差を低減することができ、製造上のエラーを押さえる効果を得ることができる。

また、上述したように各トランジスタの位置による製造上におけるイオン濃度の差を低減させることができるので、オフセット電圧を下げる効果を得ることが

できる。更に、それぞれトランジスタを互いに挟み込んで配置するように構成する各差動増幅回路（トランジスタA群とトランジスタB群、及びトランジスタC群とトランジスタD群）間を結ぶ配線のオーバーラップが、配線容量を大きくすることとなり、コンデンサを用いることなく高周波特性を劣化させる（すなわち、

5 脈流成分を極力除去する）こともできる。

次に、DCアンプ18、19の非反転入力端子（+）に振幅検波回路5、5'からの各検波信号が入力（In1）し、DCアンプ18、19の反転入力端子（-）にバイアス電圧VBが入力（In2）する。つまり、MOSFET（A2とB1）とMOSFET（C2とD1）のゲート（G1）に検波信号が入力（In1）し、一方、MOSFET（A1とB2）とMOSFET（C1とD2）のゲート（G1）にバイアス電圧VBが入力（In2）する。

10

また、抵抗R16と抵抗R17との中間ノードには抵抗R18を介してドレイン電圧VDDが印加される。更に、抵抗R16と抵抗R18との中間ノードに抵抗R19が接続され、その抵抗R19の一端はグランドに接続される。

次に、MOSFET（A1とA2）とMOSFET（C1とC2）とで増幅された出力信号はそのドレイン（D）から出力OUT1に出力され、MOSFET（B1とB2）とMOSFET（D1とD2）とで増幅された出力信号はそのドレイン（D）から出力OUT2に出力される。

15

つまり、グランドに対する出力OUT1、2の電位（すなわち、抵抗R20、21の両端電圧）がそれぞれ出力電圧として出力される。

20

各ゲート（G2）は、同図に示すように互いに各MOSFETのソース（S）側に接続される。また、MOSFETA1のゲート（G1）とMOSFETB2のゲート（G1）とが接続され、MOSFETA2のゲート（G1）とMOSFETB1のゲート（G1）とが接続される。更に、MOSFETC1のゲート（G1）とMOSFETD2のゲート（G1）とが接続され、MOSFETC

25

2のゲート (G 1) とMOSFETD 1のゲート (G 1) とが接続される。

ここで、例えば、MOSFETA 1とMOSFETB 1について説明をする。

前述したようにMOSFETA 1とMOSFETB 1によって、本発明に係る上記差動増幅回路群20内の1つの差動増幅回路が構成される。

5 上記差動増幅回路を構成するMOSFETA 1とMOSFETB 1において、周知のように、それぞれのMOSFETの各ゲート (G 1) から入力した入力信号 I_{n2} 及び入力信号 I_{n1} は増幅されて、入力信号 I_{n2} はMOSFETA 1のドレイン (D) からOUT 1に出力され、入力信号 I_{n1} はMOSFETB 1のドレイン (D) からOUT 2から出力される。

10 つまり、MOSFETA 1のゲート (G 1) から入力した信号レベル I_{n2} は利得が得られるので増幅され、そのドレイン (D) から出力信号として出力OUT 1される。また、入力信号がそのゲート (G 1) から入力するとMOSFETA 1のソース (S) とゲート (G 1) 間の電圧 V_{GS} が変化するのでMOSFETA 1のゲート (G 2) にドレイン電流 (出力信号) が流れる。MOSFETA 15 1のゲート (G 2) からの上記出力信号は、MOSFETA 1のソース (S) 側に 出力される。

また、MOSFETB 1のゲート (G 1) から入力した信号レベル I_{n1} は利得が得られるので増幅され、そのドレイン (D) から出力信号として出力OUT 2される。また、入力信号がそのゲート (G 1) から入力するとMOSFETB 20 1のソース (S) とゲート (G 1) 間の電圧 V_{GS} が変化するのでMOSFETB 1のゲート (G 2) にドレイン電流 (出力信号) が流れる。MOSFETB 1のゲート (G 2) からの上記出力信号は、MOSFETA 1のソース (S) 側に 出力される。

したがって、入力した各入力信号レベルの差 (入力信号 I_{n1} と入力信号 I_{n2} 25 2との差) は、出力信号の差として増幅されて、出力 (それぞれOUT 2とOU

T 1 から) される。

また、MOSFETA 2 と MOSFETB 2 も上述したとことと同様に、入力した各入力信号レベルの差 (入力信号 I_{n1} と入力信号 I_{n2} との差) は、出力信号の差として増幅されて、出力 (それぞれ OUT 2 と OUT 1 から) される。

- 5 以上、このように MOSFETA 群と MOSFETB 群は差動増幅回路を構成する。

- 次に、また、MOSFET (C 1、C 2) と MOSFET (D 1、D 2) とによって構成される差動増幅回路も上述した MOSFET (A 1、A 2) と MOSFET (B 1、B 2) と同様に構成される。尚、各 MOSFET (A、B、C、
10 D) はそれぞれ 2 つ配置されているが、数はそれぞれ偶数個であれば数はこれに限定されない。

- このように差動増幅回路群 2 0 内の 1 つの差動増幅回路を構成する 2 つの MOSFET を隣接するその他の差動増幅回路を構成する 2 つの MOSFET とによって、対称的に挟み込むように位置を配置する。つまり、上記 1 つの差動増幅回路を構成する 2 つの MOSFET A_{n+1} と MOSFET B_{n+1} (n は自然数)、
15 は、差動増幅回路を構成する 2 つの MOSFET A_n と MOSFET B_n (n は自然数) を挟み込むように配置する構成をとる。そして、この配置によって生じる各 MOSFET からの各配線のオーバーラップが配線容量の増加を生じさせることになり、更には、図 3 において述べる各 MOSFET のチャンネル長 (L) と
20 チャンネル幅 (W) との比 (L/W) を大きくなるようにし、かつ、チャンネル長 (L) とチャンネル幅 (W) とを共に大きく設定してゲート容量を増加させることによって、高周波特性を劣化させる効果を得ることができる。

図 3 は、図 2 に示した差動増幅回路群 2 0 における MOSFET 及び配線のレイアウト図である。

- 25 図 3 において、図 2 における差動増幅回路群 2 0 のレイアウト上の特徴を説明

する。尚、図3における符号は、図2における符号と対応している。

先ず、例えば、同図に示すように、各MOSFETを構成するトランジスタ A_n (n は1及び2)は上記トランジスタ A_n の構成素子であるトランジスタ a_n とトランジスタ a_n' (n は1及び2)で構成される。また、トランジスタ B_n (n は1及び2)はトランジスタ b_n とトランジスタ b_n' (n は1及び2)、トランジスタ C_n (n は1及び2)はトランジスタ c_n とトランジスタ c_n' (n は1及び2)、トランジスタ D_n (n は1及び2)はトランジスタ d_n とトランジスタ d_n' (n は1及び2)で構成される。

ここで、トランジスタ A_n (n は1及び2)を代表させて説明をする。

10 同図に示すように、トランジスタ A_1 (a_1 、及び a_1')は、隣に配置されるトランジスタ A_2 (a_2 、及び a_2')の構成素子であるトランジスタ a_2' を間に挟み込んで配置され、また、トランジスタ A_2 (a_2 、及び a_2')は、トランジスタ A_1 (a_1 、及び a_1')の構成素子であるトランジスタ a_1 を間に挟み込んで配置される。

15 以降、トランジスタ B_n (n は1及び2)、トランジスタ C_n (n は1及び2)、トランジスタ D_n (n は1及び2)の各トランジスタの配置は前記トランジスタ A_n の配置位置と同様にそれぞれ相対応した配置をとる。

次に、各トランジスタのレイアウト上の配置は対称を成しているので、トランジスタ A_1 とトランジスタ B_1 、及びトランジスタ A_2 とトランジスタ B_2 により構成される差動増幅回路を代表させて説明をする。

つまり、トランジスタ C_1 とトランジスタ D_1 、及びトランジスタ C_2 とトランジスタ D_2 により構成される差動増幅回路に関しては、上記トランジスタ A_n (n は1及び2)の構成素子トランジスタ(a_1 及び a_1')とトランジスタ B_n (n は1及び2)の構成素子トランジスタ(b_1 及び b_1')において、上記トランジスタ A_n (n は1及び2)の構成素子トランジスタ(a_1 及び a

1') とトランジスタ C_n (n は 1 及び 2) の構成素子トランジスタ (c_1 及び c_1')、及び上記 トランジスタ B_n (n は 1 及び 2) の構成素子トランジスタ (b_1 及び b_1') と トランジスタ D_n (n は 1 及び 2) の構成素子トランジスタ (d_1 及び d_1') を それぞれ相対応して入れ替えた配置位置をとる

5 ので詳細な説明を省略する。

先ず、各トランジスタのソース (S) はドレイン電圧 V_{DD} に印加される。トランジスタ A_1 とトランジスタ B_1 において、トランジスタ b_1 のゲート (G_1) には入力信号 I_{n1} が入力する。また、トランジスタ a_1 のゲート (G_1) には入力信号 I_{n2} が入力する。また、トランジスタ a_1' のゲート (G_2) とトランジスタ b_1' のゲート (G_2) は上記ソースと同様にドレイン電圧 V_{DD} に印加される。

また、トランジスタ a_1' のドレイン (D) とトランジスタ b_1' のドレイン (D) は上記ソースと同様にドレイン電圧 V_{DD} に印加される。抵抗 R_{16} と抵抗 R_{17} との中間ノードには抵抗 R_{18} を介してドレイン電圧 V_{DD} が印加される。更に、抵抗 R_{16} と抵抗 R_{18} との中間ノードに抵抗 R_{19} が接続され、その抵抗 R_{19} の一端はグランドに接続される。

次に、トランジスタ a_1 のゲート (G_1) から入力する入力信号 I_{n2} は利得が得られるので、信号レベルが増幅されたあと、トランジスタ a_1 のドレイン

(D) から出力信号 OUT_1 が出力される。また、入力信号 I_{n2} がトランジスタ A_1 のゲート (G_1) に入力するとゲート (G_2) にドレイン電流が流れる。トランジスタ a_1' のゲート (G_2) からの出力信号は、そのソース (S) 側に出力される。

同様に、トランジスタ b_1 のゲート (G_1) から入力する入力信号 I_{n1} は利得が得られるので、信号レベルが増幅されたあと、トランジスタ b_1 のドレインから OUT_2 に出力される。また、上記トランジスタ a_1' と同様にトランジス

タ b 1' のゲート (G 2) からの出力信号は、そのソース (S) 側に出力される。

つまり、上記差動増幅回路を構成する構成素子の 1 つであるトランジスタ A 1 とトランジスタ B 1 の入力信号のレベルの差は増幅され、出力信号の差として出力 (OUT 1 と OUT 2 から) される。つまり、グランドに対する出力 OUT 1、
5 2 の電位 (すなわち、抵抗 R 2 0、2 1 の両端電圧) がそれぞれ出力電圧として出力される。

尚、上記差動増幅回路群 2 0 の後段に図 4 あるいは図 5 の回路を設ける構成がとられ、上記 OUT 1 と OUT 2 から出力された出力信号は図 4 あるいは図 5 における In 3 と In 4 にそれぞれ出力される。上記 In 3 と In 4 に入力した入力信
10 号に対する回路動作は、後に、図 4 及び図 5 を用いて説明をする。

次に、トランジスタ A 2 とトランジスタ B 2 においても、前述したことと同様に、トランジスタ a 2 のゲート (G 1) に入力信号 I n 1 が入力し、トランジスタ b 2 のゲート (G 1) には入力信号 I n 2 が入力する。また、トランジスタ a 2' のゲート (G 2) とトランジスタ b 2' のゲート (G 2) は上記ソースと同
15 様に ドレイン電圧 VDD に印加される。

また、トランジスタ a 2' のドレイン (D) とトランジスタ b 2' のドレイン (D) は上記ソースと同様にドレイン電圧 VDD に印加される。

トランジスタ a 2 のゲート (G 1) への入力信号 I n 1 は信号レベルが増幅されトランジスタ a 2 のドレイン (D) から出力信号 OUT 1 が出力される。また、
20 トランジスタ b 2 のゲート (G 1) への入力信号 I n 2 は信号レベルが増幅され、トランジスタ b 2 のドレインからの出力信号は OUT 2 に出力される。

トランジスタ a 2' のゲート (G 2) からの出力信号は、そのソース (S) 側に出力され、トランジスタ b 2' のゲート (G 2) からの出力信号は、そのソース (S) 側に出力される。

25 以上、トランジスタ A 2 とトランジスタ B 2 の入力信号のレベルの差は増幅さ

れ出力信号 (OUT 1 と OUT 2 から) が出力される。そして、上述したように上記 OUT 1 と OUT 2 からの出力された出力信号は図 4 あるいは図 5 における In 3 と In 4 にそれぞれ出力される。また、上記 In 3 と In 4 に入力した入力信号に対する回路動作は、後に、図 4 及び図 5 を用いて説明をする。

- 5 次に、トランジスタ C_n (n は 1 及び 2) とトランジスタ D_n (n は 1 及び 2) とは、上述したトランジスタ A_n (n は 1 及び 2) とトランジスタ B_n (n は 1 及び 2) と同様に相対応した配置をとり、尚且つ同様の入出力動作を行う。

- 10 上述したように 1 つの MOSFET を構成するトランジスタ素子は、隣の MOSFET を構成するトランジスタ素子を互いに挟み込むようにそれぞれ配置され、差動増幅回路を構成する。

尚、各トランジスタ (A 群、B 群、C 群、D 群) 素子はそれぞれ 4 つづ配置されているが、数は偶数個が配置されればよく、数はこれに限定されない。

以上、各トランジスタ素子をこのように配置することで、IC 回路上の配線が必然的に交差する差動増幅回路群 20 が構成される。

- 15 そして、このように MOSFET を対称的な位置に互いに挟み込む配置にすることによって各配線位置による配線容量を増加させること、更に、MOSFET のチャンネル長 (L) とチャンネル幅 (W) とを共に大きく設定して、ゲート容量を増加させることによって、高周波特性を劣化させる効果を得ることができる。

- 20 現在、高周波信号を扱う無線端末のアンプを MOSFET で実装する場合、通常、その MOSFET のチャンネル長 (L) とチャンネル幅 (W) として $L = 0.7 \sim 1.0 \mu\text{m}$ 、 $W = 20 \mu\text{m}$ 程度のものが用いられているが、本実施の形態の DC アンプ 18、19 において使用する MOSFET のチャンネル長 (L) とチャンネル幅 (W) は、前述したように高周波特性を劣化させ得る程度に両方とも大きく設定されている。より詳しく言えば、アンプにおける直流成分に対する脈流成分
25 の比が 20 dB 以下となる程度まで高周波特性を劣化させることが望ましく、更

に望ましくは、アンプのカットオフ周波数の方が脈流成分の周波数の半分よりも小さくなるまで高周波特性を劣化させるか、或いは、上述したように直流（周波数＝0）におけるゲインに対して脈流成分の周波数におけるゲインが3 dB以上減衰する程度まで高周波特性を劣化させるのが望ましい。そのような望ましい特性となるための具体的な数値としては、例えば、 $L = 5.0 \mu\text{m}$ 、 $W = 50 \mu\text{m}$ 程度である。

つまり、上記MOSFETのチャンネル長（L）とチャンネル幅（W）を両方とも大きくとることによって、MOSFET（PチャンネルMOSFET）のゲート（G）の容量が大きくなり、その結果、上記DCアンプ18、19の高周波特性が劣化し、上記アンプに入力する入力信号に含まれる脈流成分が、新たなコンデンサを用いずとも、容易に除去される。

また、前述したように各トランジスタを配置することによって、差動増幅回路群20（トランジスタA群とトランジスタB群、及びトランジスタC群とトランジスタD群）における互いに挟み込んで配置される各トランジスタ間を結ぶ配線をオーバーラップさせることによって、各配線による配線容量を大きくすることが可能なので、新たなコンデンサを用いずとも、高周波特性を劣化させる（脈流成分を除去する）効果を得ることができる。

また、このようなトランジスタの対称的な配置をとることにより、IC回路の製造過程において、イオン注入を行うときに、トランジスタの位置による製造上におけるイオン濃度の差を低減させることによりオフセット電圧を下げることもできる。更に、各MOSFETトランジスタの配置をこのような対称的な位置に配置することによって、MOSFETトランジスタの位置によるイオン濃度の差を低減することができ、製造上のエラーを押さえる効果を得ることもできる。

これは、ICの製造工程内のイオン注入工程あるいは、拡散工程における製造上の課題のひとつであるIC基板上におけるイオン濃度の差の発生に対しても、

MOSFETトランジスタの配置を対称的な位置にすることによって、MOSFETトランジスタの位置によるイオン濃度の差を除くことができるので、製造上におけるトランジスタの位置によるイオン濃度の誤差を生じても製造上のエラーを押さえる効果がある。

- 5 図4は、DCアンプ18、19における第2の主要部分の一例を示す回路図である。同図の回路は、図2に示す差動増幅回路群20の後段に接続される。すなわち、図2に示す差動増幅回路群20の出力OUT1、OUT2が、図4に示す入力In3、In4にそれぞれ入力する構成をとる。

- 10 図4に示す回路は、4つのMOSFET (M9、M10、M11、M12) で構成される差動増幅回路21と、MOSFET (M13) と、コンデンサC10と抵抗R22とコンデンサC11、及びカレントミラー回路を構成する定電流源22、カレントミラー回路を構成する差動増幅回路21の電流源23、出力側の電流源24より構成される。

- 15 上記差動増幅回路21は、4つのMOSFET (M9、M10、M11、M12) によって構成される。また、2つのMOSFET (M10及びM12) のドレイン (D) はドレイン電圧VDDに印加され、2つのMOSFET (M9及びM11) のソース (S) は電流源23に接続される。

MOSFET (M9) とMOSFET (M10)、及びMOSFET (M11) とMOSFET (M12) はそれぞれカスコード接続される。

- 20 次に、MOSFET (M9) とMOSFET (M11) のゲート (G) に入力信号 (In3及びIn4) が入力する。つまり、図2及び図3において説明したように、その差動増幅回路群からの一方の出力信号OUT1はMOSFET (M11) のゲートG (In3) に入力し、他方の出力信号OUT2はMOSFET (M9) のゲートG (In4) に入力する。また、MOSFET (M10) のゲート (G) とMOSFET (M12) のゲート (G) は互いに接続され、且つ、
25

MOSFET (M10) のゲート (G) はMOSFET (M9) のドレイン (D) の出力側に接続される。

また、MOSFET (M11) とMOSFET (M12) との中間ノードは、その後段のMOSFET (M13) のゲート (G) に接続される。

- 5 MOSFET (M9) のゲート (G) への入力信号 (I_{n4}) の信号レベルが増幅されて、そのドレイン (D) からMOSFET (M10) とMOSFET (M12) のゲート (G) に出力される。MOSFET (M10) とMOSFET (M12) のゲート (G) に入力した信号は、ソース (S) に出力されるので増幅はされずに出力される。また、そのMOSFET (M10) のソース (S)
- 10 からの出力信号は、MOSFET (M12) のゲート (G) に入力する。

- ここで、各MOSFET (M9、M10、M11、M12、M13) のゲート (G) のチャンネル長 (L) とチャンネル幅 (W) との比 (L/W) を大きくなるように、かつ、チャンネル長 (L) とチャンネル幅 (W) とを両方大きく設定して、各MOSFET (PチャンネルMOSFET) の容量を大きくすることで、MOSFETの高周波特性を劣化させている。これにより、MOSFET (M10及びM12) のソース (S) からの出力信号に含まれる脈流成分が取り除かれる。具体的には、前述した通りである。
- 15

- 次に、入力信号 (I_{n3}) はMOSFET (M11) のゲート (G) に入力する。上記入力信号 (I_{n3}) は利得が得られるので増幅されて、尚且つ、脈流成分が取り除かれたあとドレイン (D) 側に出力される。
- 20

したがって、MOSFET (M10及びM12) からの出力信号は、脈流成分が取り除かれたあと上記差動増幅回路21から出力される。

- そして、上記差動増幅回路21から出力された出力信号は、上記差動増幅回路21の後段に設けられるMOSFET (M13) のゲート (G) に入力する。また、MOSFET (M13) のドレイン (D) は、ドレイン電圧VDDに印加さ
- 25

れ、そのソース（S）は、電流源24に接続される。

同図に示すように抵抗R22とコンデンサC10は互いに直列に接続され、コンデンサC10の一端は、上記MOSFET（M13）のソース（S）側に接続され、抵抗R22の一端はそのMOSFET（M13）のゲート（G）に接続される。

MOSFET（M13）からの出力信号は、MOSFET（M13）のソース（S）側から出力されるので、増幅はされず、脈流成分が取り除かれたあと出力される。

更に、コンデンサC10により、その出力信号のMOSFET（M13）のゲート（G）への帰還信号に含まれる脈流成分が取り除かれる。

ここで、前述したように上記各MOSFETへの入力信号に含まれる脈流成分が極力取り除かれるが、実際は、なんらかの振幅変化（脈流成分）が生じているため、受信電界レベルを検出したい場合には平滑回路を設けることが望ましい。

このような平滑回路として、図4に示すような大容量のコンデンサC11が、各DCアンプ18、19の後段に設けられたパッド（P6、P8）とグラウンドとの間に外付けされる。すなわち、大容量のコンデンサC11が、AGC動作に必要な利得制御信号の出力（図4中のOUT）に対して並列に接続される。

よって、上記のように平滑作用のあるコンデンサC11を設けることによって、上記差動増幅回路21からの出力信号（DCアンプ18の出力信号）は、コンデンサC11によって確実に平滑されて、その後段のバッファアンプ15（図1）に出力される。

前述したように振幅検波回路5、5'から出力される検波信号に重畳している脈流成分は上記DCアンプ群14（DCアンプ18、19）によって除去され、且つ、その検波出力は上記平滑回路（コンデンサC11）により確実に平滑化される。そして、その平滑化された信号がバッファアンプ15に入力される。

バッファアンプ15は、その信号の電圧レベルに応じて、RF増幅回路3の利得制御に必要な利得制御信号を出力し、また、AGCダイオード17には、回路の利得制御を行うための利得制御信号を出力し、それぞれ受信信号レベルに応じた最適利得を設定する。前述したように、仮に、上記のコンデンサC11によっても除去しきれない脈流成分が上記の各利得制御信号に残ってしまった場合であっても、その不要な脈流成分はコンデンサC3及び抵抗R4からなる回路や、コンデンサC9及び抵抗R12からなる回路によって確実に除去される。

以上の構成により、振幅検波回路5からの検波出力信号に重畳している脈流成分はDCアンプ群14によって除去され、更にコンデンサC11によって平滑化されるので、AGC回路において生じる歪みを有効に除去することが可能になる。また、DCアンプ18、19は振幅検波回路5、5'の直後に設けられるので、IC回路による回路パターンから高周波成分が輻射して伝搬するのを確実に防止することもできる。

図5は、DCアンプ18、19における第2の主要部分の他の例を示す回路図であり、図6は図5中に示された平滑回路25の具体的な回路図である。

図5の回路は、図4の回路において、コンデンサC11の代わりに平滑回路25を用いたものである。よって、ここでは、この平滑回路25の説明だけを行う。尚、図4と同一部材には同一符号を付して説明を省略する。

入力信号が平滑回路25に入力するまでは、図4の回路と同様である。

平滑回路25は、図6に示すように、コンデンサC12、定電流回路26、トランジスタ(27、28、29、30、31)、スイッチ(32、33)、電圧比較器34、アンド回路35、36で構成されている。前述したように図5中のMOSFETへの入力信号の脈流成分は極力取り除かれる。しかし、実際は、なんらかの振幅変化(脈流成分)が生じており、受信電界レベルを検出したい場合には平滑回路を設けるのが望ましい。よって、平滑回路25を上記DCアンプ1

8、19の後段に設けることによって、その出力信号は確実に平滑される。

平滑回路25は、図6に示すように、2つのトランジスタ27、28によってカレントミラー回路が構成され、定電流回路26から出力される定電流と同量の充電電流が生成される。更に、また、この充電電流の生成のタイミングがスイッ

5 チ32によって決定される。

スイッチ32は、インバータ回路37とアナログスイッチ38とトランジスタ39により構成されている。

アナログスイッチ38は、PチャネルトランジスタとNチャネルトランジスタの各ソースドレイン間を並列接続することにより構成されている。

10 アンド回路35の出力信号の論理をインバータ回路37によって反転した信号がPチャネルトランジスタのゲートに出力されている。したがって、このアナログスイッチ38は、アンド回路35の出力信号がハイレベルのときにオン状態になって、反対にローレベルのときにオフ状態になる。また、トランジスタ39は、アナログスイッチ38がオフ状態のときにトランジスタ28のゲートドレイン
15 間を低抵抗で接続することにより、トランジスタ28による電流供給動作を確実に停止させるためのものである。

スイッチ32がオン状態になると、定電流回路26が接続された一方のトランジスタ27のゲートと他方のトランジスタ28のゲートとが接続された状態になるため、一方のトランジスタ27に接続された定電流回路26によって育成され
20 る定電流とほぼ同じ電流が他方のトランジスタ28のソースドレイン間にも流れる。この電流が、充電電流としてコンデンサC12に供給される。反対に、スイッチ32がオフ状態になると、トランジスタ28のゲートがドレインに接続された状態になるため、この充電電流の供給が停止される。

上述した定電流回路26および2つのトランジスタ27、28が電流供給部に対応する。スイッチ32と、アンド回路35が第一のタイミング制御部に対応す
25

る。

また、上述したトランジスタ 27 と定電流回路 26 にトランジスタ 29 を組み合わせることにより、コンデンサ C12 の放電電流を設定するカレントミラー回路が構成されており、その動作状態がスイッチ 33 によって決定される。スイッチ 33 はスイッチ 32 と同じ構成を有している。このスイッチ 33 は、アンド回路 36 の出力信号の論理に応じてオンオフ状態が制御されており、この出力信号がハイレベルのときにオン状態に、ローレベルのときにオフ状態になる。

スイッチ 33 がオン状態になると、定電流回路 26 が接続された一方のトランジスタ 27 のゲートと他方のトランジスタ 29 のゲートとが接続された状態になるため、定電流回路 26 によって生成される定電流とほぼ同じ電流が他方のトランジスタ 29 のソース-ドレイン間にも流れる。この電流が、コンデンサ C12 に蓄積された電荷を放出する放電電流になる。

但し、トランジスタ 29 に流れる電流をコンデンサ C12 から直接とり出すことはできないため、本実施形態では、トランジスタ 29 のソース側にトランジスタ 30、31 によって構成される別のカレントミラー回路が接続されている。

2つのトランジスタ 30、31 はゲート同士が接続されており、トランジスタに上述した放電電流が流れたときに、同じ電流が他方のトランジスタのソース-ドレイン間にも流れるようになっている。このトランジスタ 31 は、ドレインがコンデンサ C12 の高電位側の端子に接続されており、トランジスタ 31 に流れる電流は、コンデンサ C12 に蓄積された電荷が放出されることによって生成される。

上述した定電流回路 26 および 4 つのトランジスタ 27、29、30、31 が電流放出部に対応する。スイッチ 33、アンド回路 36 が第 2 のタイミング制御部に対応する。

また、電圧比較器 34 は、プラス端子に印加されるコンデンサ C12 の端子電

圧とマイナス端子に印加される平滑回路 2 5 の入力電圧との大小比較を行う。この電圧比較器 3 4 は、非反転出力端子と反転出力端子を有しており、プラス端子に印加されるコンデンサ C 1 2 の端子電圧よりも大きい場合には非反転出力端子からハイレベルの信号が出力され、反転出力端子からローレベルの信号が出力される。反対に、プラス端子に印加されるコンデンサ C 1 2 の端子電圧の方がマイナス端子に印加される入力電圧よりも小さい場合には非反転出力端子からローレベルの信号が出力され、反転出力端子からハイレベルの信号が出力される。

アンド回路 3 5 は、一方の入力端子に所定の信号が入力され、他方の入力端子に電圧比較器 3 4 の非反転入力端子が接続されている。したがって、コンデンサ C 1 2 の端子電圧の方が平滑回路 2 5 の入力電圧よりも大きい場合に、アンド回路 3 5 から所定の信号が出力される。

また、アンド回路 3 6 は、一方の入力端子に所定の信号が入力され、他方の入力端子に電圧比較器 3 4 の反転入力端子が接続されている。したがって、コンデンサ C 1 2 の端子電圧の方が平滑回路 2 5 の入力電圧よりも小さい場合に、アンド回路 3 6 から所定の信号が出力される。

このような構成からなる平滑回路 2 5 の動作について、以下に説明する。

電圧比較器 3 4 とアンド回路 3 5 には、DC アンプ 1 8、1 9 から出力される利得制御信号が入力する。

平滑回路 2 5 の動作開始時にコンデンサ C 1 2 が充電されていない場合や、平滑回路 2 5 の入力電圧が上昇傾向にある場合には、コンデンサ C 1 2 の端子電圧の方が平滑回路 2 5 の入力電圧よりも低い状態にある。このとき、アンド回路 3 5 から信号が出力され、アンド回路 3 6 からは信号が出力されない。したがって、スイッチ 3 2 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の充電電流がコンデンサ C 1 2 に供給される。この充電動作は、コンデンサ C 1 2 の端子電圧が平滑回路 2 5 の入力電圧よりも相対的に高くなるまで継続さ

れる。

また、この充電動作によってコンデンサC 1 2の端子電圧が平滑回路2 5の入力電圧を超えた場合や、この入力電圧が下降傾向にあってコンデンサC 1 2の端子電圧よりこの入力電圧の方が低い場合には、アンド回路3 6から信号が出力され、アンド回路2 9からは信号が出力されない。したがって、スイッチ3 3のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の放電電流がコンデンサC 1 2から放出される。この放電動作は、コンデンサC 1 2の端子電圧が平滑回路2 5の入力電圧よりも相対的に低くなるまで継続される。

なお、図6に示した平滑回路2 5では、充電電流の供給タイミングを決定する信号の周期やデューティ比と、放電電流の供給タイミングを決定する信号のデューティ比よりも、アンド回路に入力される信号のデューティ比を小さく設定するようにしてもよい。これにより、アタック時間よりもリリース時間を長く設定することができる。

上述したように、コンデンサC 1 2に対して間欠的な充放電が行われるため、比較的小容量のコンデンサC 1 2を使用した場合であっても、緩やかに端子電圧を変化させることができるので、実質的に大きな時定数を設定できることになる。その結果、十分な平滑作用を持った平滑回路2 5が実現される。

このような平滑回路2 5を採用すれば、大きな時定数を設定する場合であっても小容量のコンデンサC 1 2を使用することができるので、回路の小型化が可能になる。また、大きな時定数を設定するために必要だった大きな抵抗やコンデンサが不要になって、外付け部品を低減あるいは全くなすことができるため、平滑回路2 5全体あるいはそのほとんどの構成部品を1つのDCアンプ1 8、1 9内に組み込んだ形でIC化することが可能となる。

なお、本発明は上記の実施形態に限定されるものではなく、請求項に記載された本発明の要旨の範囲内において種々の構成変更が可能である。

例えば、上記の実施形態では、検波回路5、5'の検波出力に含まれる高周波成分（脈流成分）の除去手段として、a) DCアンプ18、19を構成する各MOSFETのチャネル長及びチャネル幅を大きく設定したもの、b) DCアンプ18、19の出力端子に大容量のコンデンサC11（図4）を設けたもの、c) 5 DCアンプ18、19の出力端子に独自の平滑回路25（図5、図6）を設けたもの、及び、d) DCアンプ18、19を構成する各MOSFETをそれらの間の配線が互いに交差するように配置したもの、を適宜組み合わせて採用したが、これらを個々別々に採用したものであっても相当の効果を期待することができ、そのようなものも本発明の範囲内である。

- 10 また、直流（周波数＝0）におけるゲインに対して脈流成分の周波数におけるゲインが3 dB以上減衰する程度まで高周波特性を劣化させることが望ましい旨を述べたが、本発明はこれに限定されるものではない。

産業上の利用可能性

- 15 本発明は、例えばFMラジオ受信機のようなRF（高周波）受信機内に設けられるAGC（Automatic Gain Control）回路に適用されるものであり、回路全体のIC化を図る上でも好適である。

請求の範囲

1. 高周波受信信号を検波して脈流成分を含む検波信号を出力する検波回路を備え、該検波回路の検波出力に応じて前記高周波受信信号の増幅回路の利得を
5 制御するA G C回路において、
前記検波回路の直後に接続される増幅器の高周波特性を劣化させたこと、又は該増幅器に高周波特性を劣化させる手段を接続したことを特徴とするA G C回路。
2. 前記高周波特性を劣化させた増幅器は、該増幅器の高周波特性が劣化する程度まで、該増幅器を構成する各M O S F E Tにおけるチャネル長及びチャネル幅を大きく設定した構成を有することを特徴とする請求項1記載のA G C回路。
10
3. 前記高周波成分を劣化させる手段は、前記増幅器の出力端子とグランドとの間に接続された大容量のコンデンサであることを特徴とする請求項1記載のA G C回路。
4. 前記高周波成分を劣化させる手段は、コンデンサと、該コンデンサの端子電圧と入力電圧とを比較する電圧比較回路と、前記端子電圧よりも前記入力電圧の方が相対的に高い場合に、前記コンデンサを間欠的に充電する充電回路と、前記端子電圧の方が前記入力電圧よりも相対的に低い場合に、前記コンデンサから間欠的に放電電流を放出する放電回路とを備える平滑回路であり、該平滑回路が前記増幅器の出力端子に接続されていることを特徴とする請求項1記載のA G
15 C回路。
5. 前記高周波特性を劣化させた増幅器は、該増幅器を構成する各M O S F E Tをそれらの間の配線が互いに交差するように配置することで、該増幅器の高周波特性が劣化する程度まで配線容量を大きくした構成を有することを特徴とする請求項1記載のA G C回路。
6. 前記高周波特性の劣化は、前記脈流成分の周波数において3 d B以上の
20

劣化であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の A G C 回路。

1 / 6

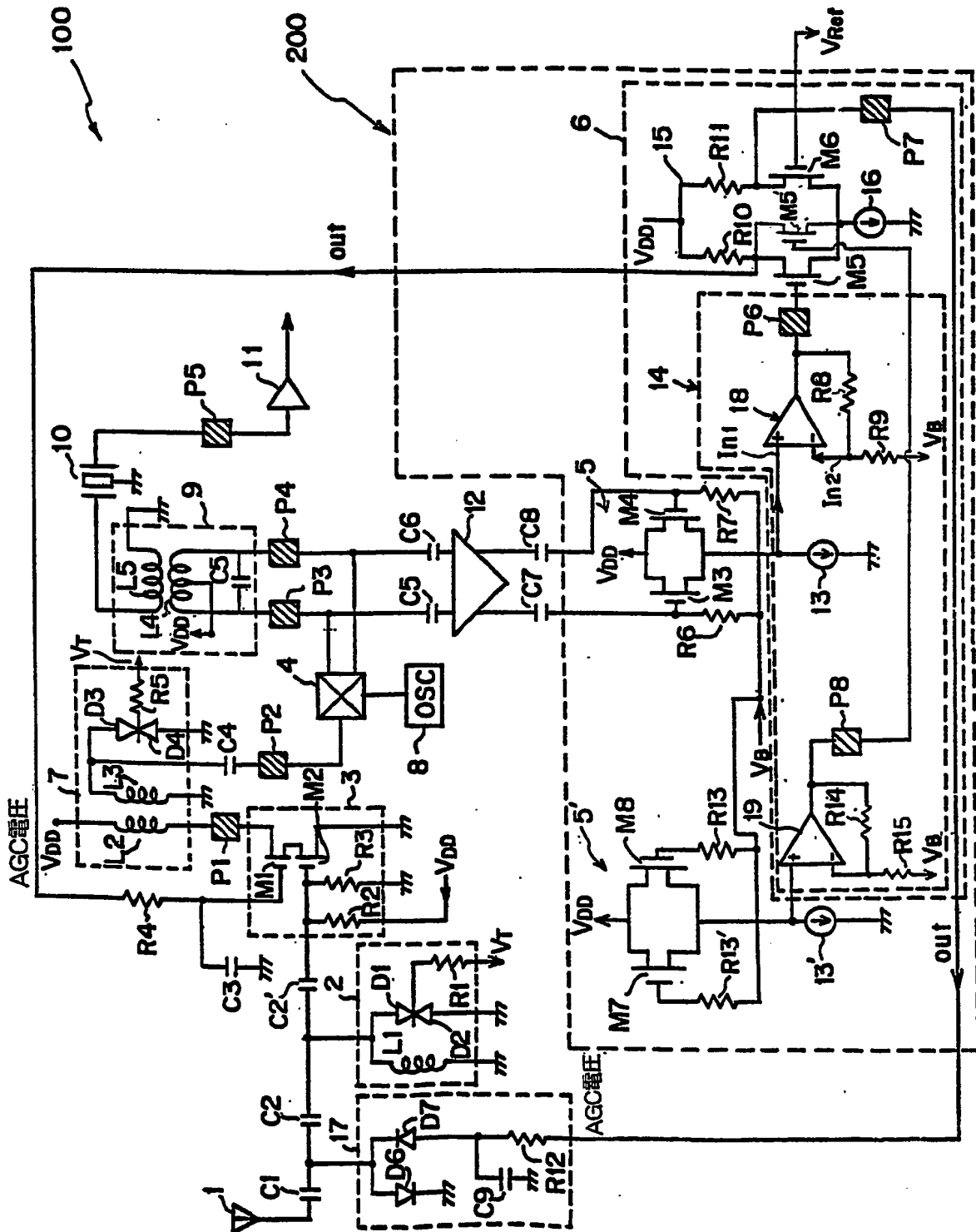


図 1

2 / 6

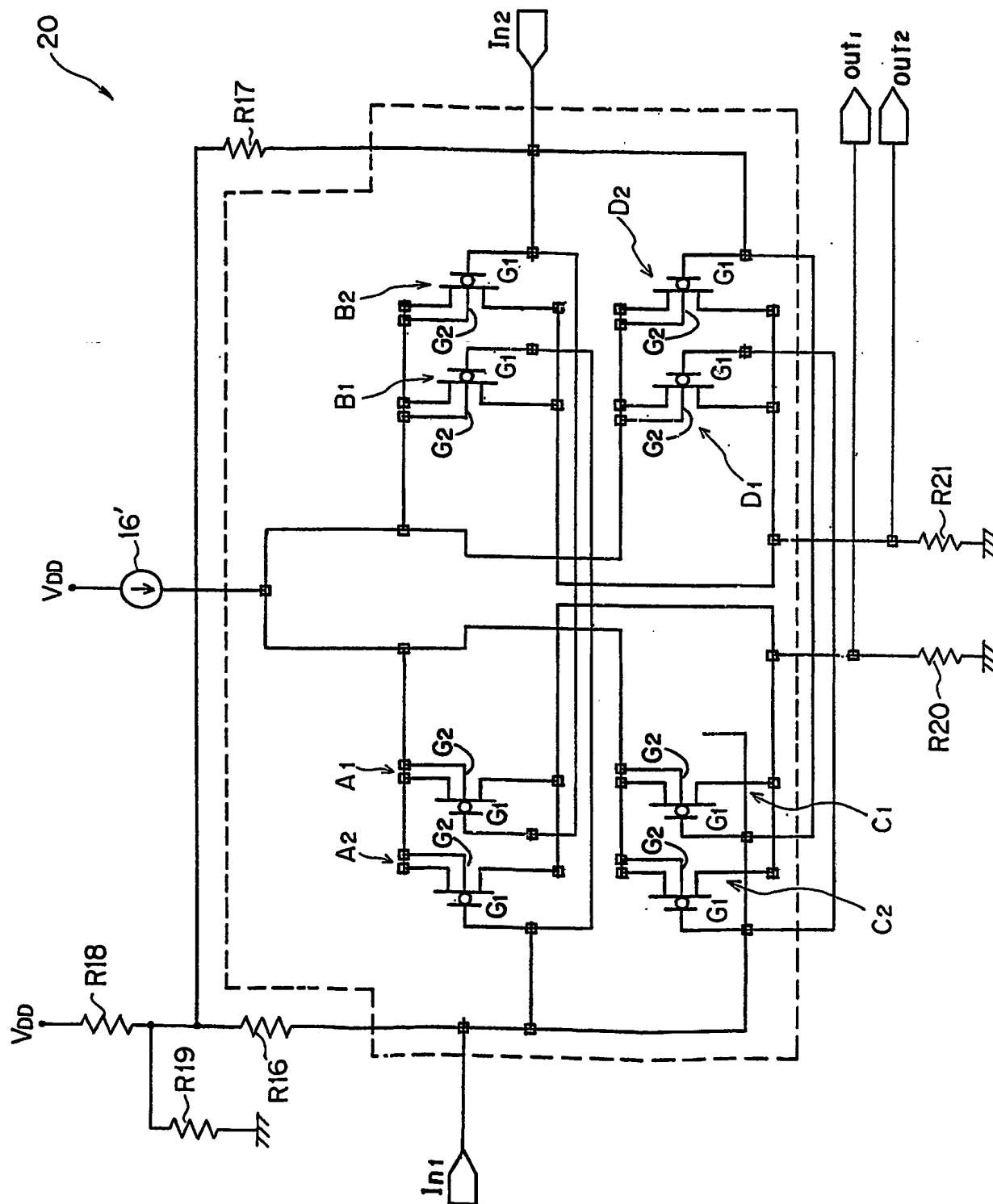
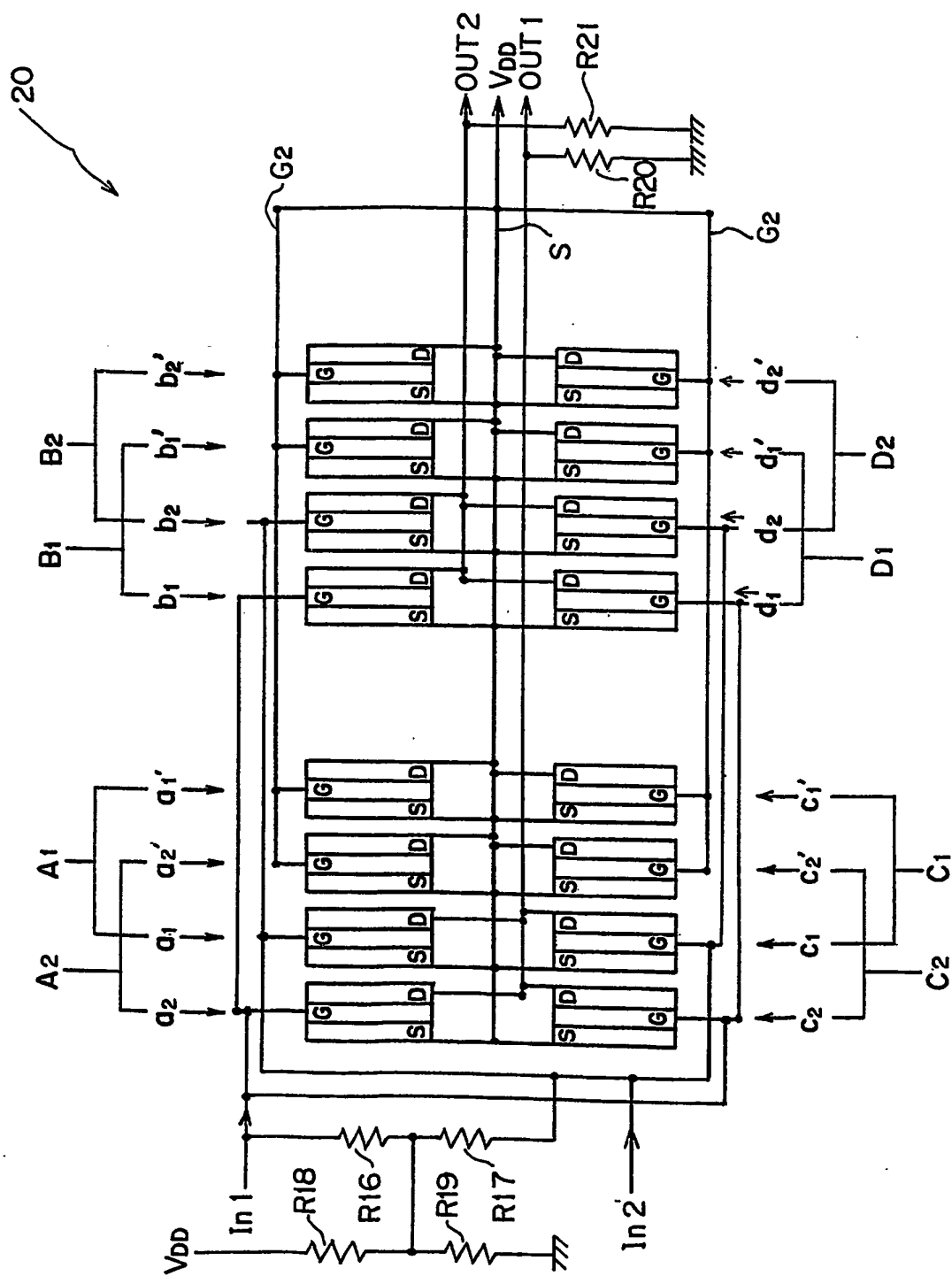
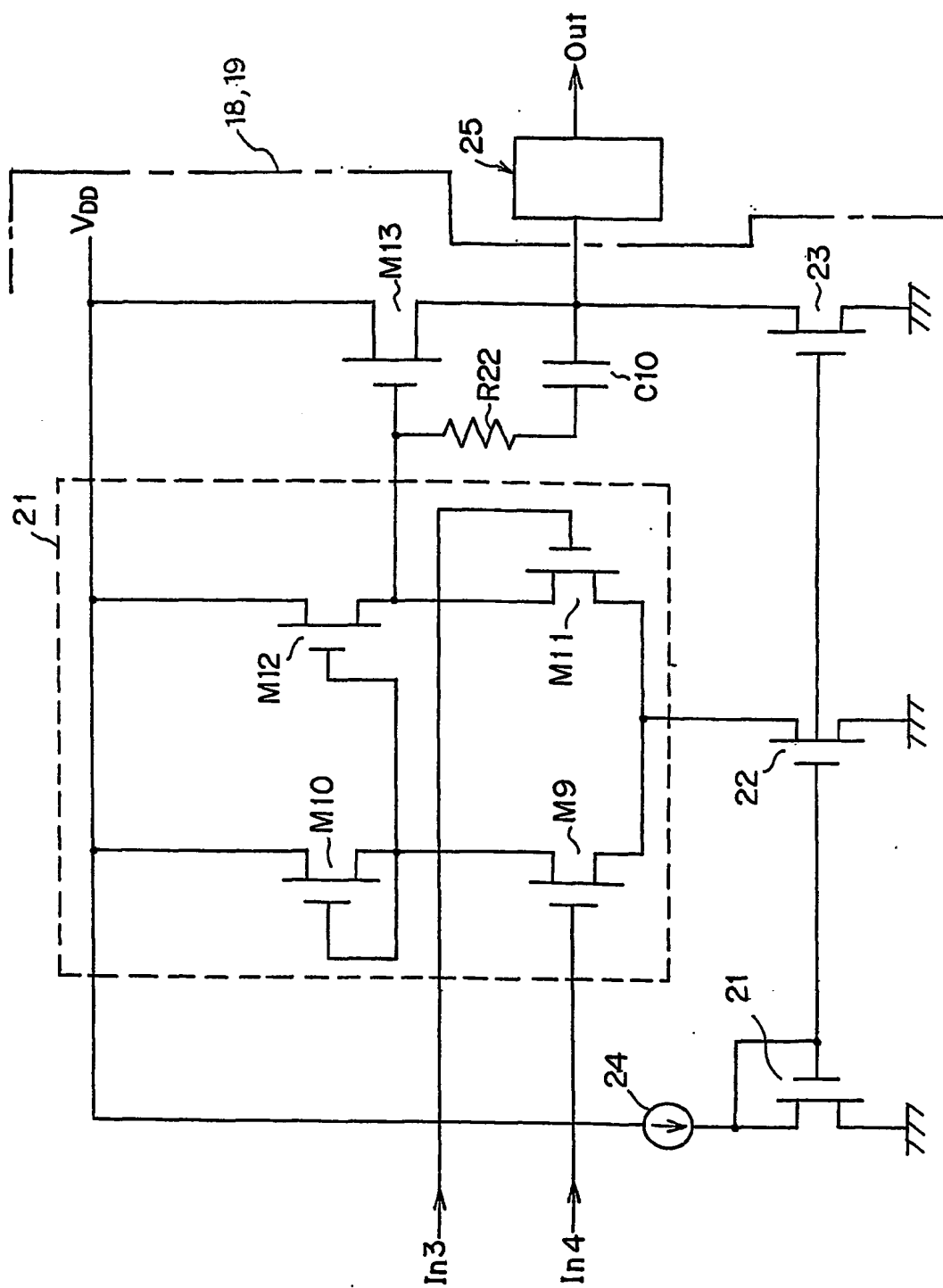


图 2

3 / 6



5 / 6



6 / 6

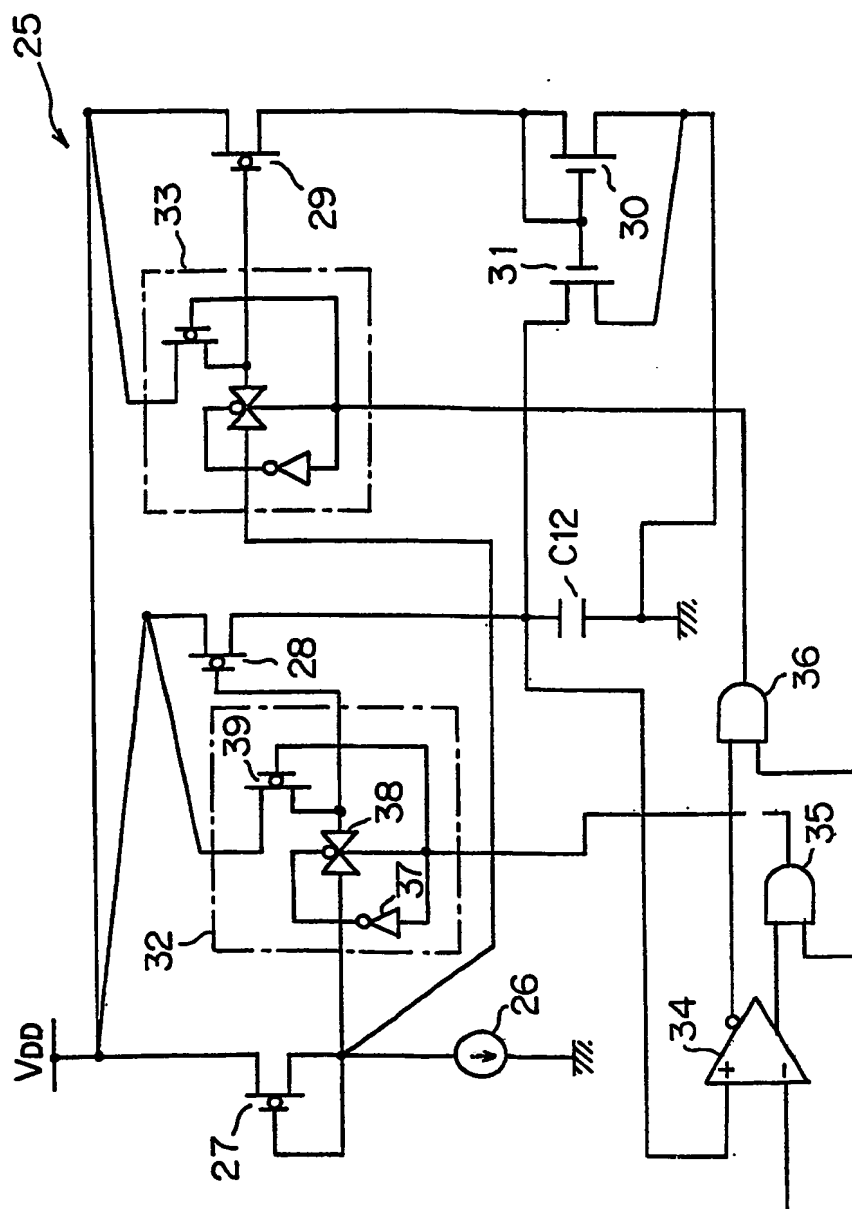


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08225

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03G3/20, H03F3/45

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03G3/20, H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 10-270961 A (Alps Electric Co., Ltd.), 09 October, 1998 (09.10.98), Par. No. [0016]; Fig. 1 (Family: none)	1, 3 2, 4-6
Y	JP 2001-230639 A (Hitachi, Ltd.), 24 August, 2001 (24.08.01), Full text; all drawings & US 2001/0015674 A1	2, 5, 6
Y	JP 6-111037 A (NEC Corp.), 22 April, 1994 (22.04.94), Full text; all drawings (Family: none)	2, 5, 6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
29 September, 2003 (29.09.03)

Date of mailing of the international search report
14 October, 2003 (14.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/08225

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 02/51005 A1 (Niigata Seimitsu Co., Ltd.), 27 June, 2002 (27.06.02), Full text; all drawings (Family: none)	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/20 H03F3/45

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/20 H03F3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 10-270961 A (アルプス電気株式会社) 1998. 10. 09 公報 [0016], 図1 (ファミリーなし)	1, 3 2, 4-6
Y	JP 2001-230639 A (株式会社日立製作所) 2001. 08. 24 全文, 全図 & US 2001/0015674 A1	2, 5, 6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29. 09. 03

国際調査報告の発送日

14.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 博幸

5W 9180

電話番号 03-3581-1101 内線 3574

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 6-111037 A (日本電気株式会社) 1994. 04. 22 全文, 全図 (ファミリーなし)	2, 5, 6
Y	WO 02/51005 A1 (新潟精密株式会社) 2002. 06. 27 全文, 全図 (ファミリーなし)	4